

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/004337

International filing date: 11 March 2005 (11.03.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-070380
Filing date: 12 March 2004 (12.03.2004)

Date of receipt at the International Bureau: 28 April 2005 (28.04.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 3 月 1 2 日

出 願 番 号
Application Number: 特 願 2 0 0 4 - 0 7 0 3 8 0

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号
J P 2 0 0 4 - 0 7 0 3 8 0
The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

出 願 人
Applicant(s): ローム株式会社

2 0 0 5 年 4 月 1 3 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】	特許願
【整理番号】	03-00485
【提出日】	平成16年 3月12日
【あて先】	特許庁長官 殿
【国際特許分類】	H01L 27/04 H01L 21/60
【発明者】	
【住所又は居所】	京都市右京区西院溝崎町 2 1 番地
【氏名】	ローム株式会社内 加藤 工
【発明者】	
【住所又は居所】	京都市右京区西院溝崎町 2 1 番地
【氏名】	ローム株式会社内 原 英夫
【特許出願人】	
【識別番号】	000116024
【氏名又は名称】	ローム株式会社
【代理人】	
【識別番号】	100121337
【弁理士】	
【氏名又は名称】	藤河 恒生
【電話番号】	077-547-3453
【手数料の表示】	
【予納台帳番号】	212120
【納付金額】	21,000円
【提出物件の目録】	
【物件名】	特許請求の範囲 1
【物件名】	明細書 1
【物件名】	図面 1
【物件名】	要約書 1
【包括委任状番号】	0202210

【書類名】 特許請求の範囲

【請求項 1】

複数の電源系として少なくとも第 1 と第 2 の電源系を有し、第 1 と第 2 の電源系はそれぞれ電源端子、グランド端子、及び信号の入出力を行う少なくとも 1 つの信号端子と、これら各端子にボンディングワイヤによって接続される電源ボンディングパッド、グランドボンディングパッド、及び信号ボンディングパッドと、これら各ボンディングパッドに接続されると共に信号ボンディングパッドとの間で信号を入力又は出力する入出力回路を有する半導体装置であって、

第 1 と第 2 の電源系は、電源端子又はグランド端子の少なくとも一方にボンディングワイヤによって接続されるとともに、異なる電源系間で互いに接続されるそれぞれの ESD 保護ボンディングパッドと、

各電源系の信号ボンディングパッドと ESD 保護ボンディングパッドに接続されるそれぞれの信号用 ESD 保護素子部と、

少なくとも一端を少なくともいずれかの ESD 保護ボンディングパッドに接続される電源用 ESD 保護素子部と、

を備えてなることを特徴とする半導体装置。

【書類名】 明細書

【発明の名称】 半導体装置

【技術分野】

【０００１】

本発明は、複数の電源系を有する半導体装置に関する。

【背景技術】

【０００２】

従来から、複数の電源系を有する半導体装置、すなわち電源端子とグランド端子の対が複数有ってそれぞれの対の間に半導体素子が設けられている半導体装置は、信号端子に印加された静電気がいずれかの電源端子やグランド端子を経由して放電しても、その静電気放電（ＥＳＤ）によって破壊されないように、全ての電源端子及びグランド端子を基準としたＥＳＤ対策が取られてきた（例えば特許文献１）。

【０００３】

図４は、デジタル用電源系とアナログ用電源系の２個の電源系を有した従来の半導体装置における各端子の接続状態を示す部分回路図である。この半導体装置１０１は、例えば５Ｖのデジタル用電源系に、電源（ＶＣＣ１）端子１１０、グランド（ＧＮＤ１）端子１１２、及び信号の入出力を行う少なくとも１つの信号（ＳＩＧ１）端子１１１と、同じく５Ｖのアナログ用電源系に、電源（ＶＣＣ２）端子１１３、グランド（ＧＮＤ２）端子１１５、及び信号の入出力を行う少なくとも１つの信号（ＳＩＧ２）端子１１４と、を有している。それら各端子は、ボンディングワイヤ１２０乃至１２５によってそれぞれＶＣＣ１ボンディングパッド１３０、ＧＮＤ１ボンディングパッド１３２、ＳＩＧ１ボンディングパッド１３１、ＶＣＣ２ボンディングパッド１３３、ＧＮＤ２ボンディングパッド１３５、ＳＩＧ２ボンディングパッド１３４に接続されている。なお、各ボンディングパッドは、以後、ボンディングを省略して呼称する。

【０００４】

ＶＣＣ１パッド１３０及びＧＮＤ１パッド１３２は、半導体基板上に形成されたＶＣＣ１配線１５０及びＧＮＤ１配線１５２にそれぞれ接続される。ＶＣＣ１配線１５０及びＧＮＤ１配線１５２は、デジタル用電源系の少なくとも１つの入出力回路１４３及び内部回路１４５の素子に接続されると共に後述のように信号用ＥＳＤ保護素子部１４１に接続される。入出力回路１４３はＳＩＧ１パッド１３１との間で信号を入力又は出力し、内部回路１４５は入出力回路１４３から入力した信号に応じて信号処理を行い入出力回路１４３に信号を出力する。なお、図４における入出力回路１４３（及び後述の入出力回路１４４）では入力素子の図示は省略している。

【０００５】

前述した信号用ＥＳＤ保護素子部１４１は、入出力回路１４３のＥＳＤによる破壊を防止するものであり、ＶＣＣ１端子１１０を基準にＳＩＧ１端子１１１に印加された静電気をＶＣＣ１端子１１０に逃がすためのＶＣＣ１側の保護素子と、ＧＮＤ１端子１１２を基準にＳＩＧ１端子１１１に印加された静電気をＧＮＤ１端子１１２に逃がすためのＧＮＤ１側の保護素子と、から構成される。これらの保護素子は、具体的には図４に示すようなダイオード、又はフィールドトランジスタ（メタル配線をゲートとしたしきい値の高いＭＯＳトランジスタ）などが用いられる。こうして、ＳＩＧ１端子１１１についてＶＣＣ１端子１１０及びＧＮＤ１端子１１２を基準としたＥＳＤ対策が取られる。他の電源系のＶＣＣ２端子１１３及びＧＮＤ２端子１１５を基準としたＥＳＤ対策については後述する。

【０００６】

また、ＶＣＣ２パッド１３３及びＧＮＤ２パッド１３５も、半導体基板上に形成されたＶＣＣ２配線１５３及びＧＮＤ２配線１５５にそれぞれ接続される。ＶＣＣ２配線１５３及びＧＮＤ２配線１５５は、アナログ用電源系の少なくとも１つの入出力回路１４４及び内部回路１４６の素子に接続されると共に次のように信号用ＥＳＤ保護素子部１４２に接続される。入出力回路１４４はＳＩＧ２パッド１３４との間で信号を入力又は出力し、内部回路１４６は入出力回路１４４から入力した信号に応じて信号処理を行い入出力回路１

4 4に信号を出力する。信号用E S D保護素子部1 4 2も、入出力回路1 4 4のE S Dによる破壊を防止するものであり、その構成や機能は前述の信号用E S D保護素子部1 4 1と実質的に同じである。

【0 0 0 7】

電源用E S D保護素子部1 4 0は、いずれの電源端子間又はグランド端子間に静電気が印加された場合でも、入出力回路1 4 3、1 4 4又は内部回路1 4 5、1 4 6の素子のE S Dによる破壊を防止するものであり、V C C 1端子1 1 0－G N D 1端子1 1 2間の保護素子（1個のダイオード）と、V C C 2端子1 1 3－G N D 1端子1 1 2間の保護素子（1個のダイオード）と、V C C 2端子1 1 3－G N D 2端子1 1 5間の保護素子（1個のダイオード）と、G N D 2端子1 1 5－G N D 1端子1 1 2間の保護素子（2個のダイオード）と、V C C 1端子1 1 0－V C C 2端子1 1 3間の保護素子（2個のダイオード）と、V C C 1端子1 1 0－G N D 2端子1 1 5間の保護素子（1個のダイオード）と、から構成される。G N D 2端子1 1 5－G N D 1端子1 1 2間の保護素子とV C C 1端子1 1 0－V C C 2端子1 1 3間の保護素子とがそれぞれ2個の互いに逆方向のダイオードから構成されるのは、それらが同電位であり、E S Dに対して強いからである。その他の保護素子（例えばV C C 1端子1 1 0－G N D 1端子1 1 2間の保護素子など）は、保護素子の面積を更に大きくするなどしてE S D対策を取っている。

【0 0 0 8】

次に、S I G 1端子1 1 1について他の電源系のV C C 2端子1 1 3及びG N D 2端子1 1 5を基準としたE S Dによる破壊防止の動作について説明する。V C C 2端子1 1 3を基準にS I G 1端子1 1 1に印加された静電気は、信号用E S D保護素子部1 4 1を構成するV C C 1側の保護素子、V C C 1配線1 5 0、電源用E S D保護素子部1 4 0を構成するV C C 1端子1 1 0－V C C 2端子1 1 3間の保護素子、V C C 2配線1 5 3を通過してV C C 2端子1 1 3に逃げる。G N D 2端子1 1 5を基準にS I G 1端子1 1 1に印加された静電気も、同様にして、信号用E S D保護素子部1 4 1を構成するG N D 1側の保護素子、G N D 1配線1 5 2、電源用E S D保護素子部1 4 0を構成するG N D 2端子1 1 5－G N D 1端子1 1 2間の保護素子、G N D 2配線1 5 5を通過してG N D 2端子1 1 5に逃げる。また、S I G 2端子1 1 4について他の電源系のV C C 1端子1 1 0及びG N D 1端子1 1 2を基準としたE S Dに対しても、同様にして、信号用E S D保護素子部1 4 2及び電源用E S D保護素子部1 4 0を介して破壊防止が実現される。

【0 0 0 9】

このように、複数の電源系を有する半導体装置において、いずれかの電源系の信号端子について他の電源系の電源端子やグランド端子を基準としたE S D対策は、信号用E S D保護素子部及び電源用E S D保護素子部を介して破壊防止が実現される。なお、上記の半導体装置1 0 1は、複数の電源系として、デジタル用電源系とアナログ用電源系の2個の電源系を有する半導体装置であるが、それに限らず、例えば5 V電源系と3 V電源系ののように、電源電圧が異なる複数の電源系を有する半導体装置においても、電源用E S D保護素子部1 4 0を設けることで、他の電源系の電源端子やグランド端子を基準としたE S Dによる破壊防止を実現することができる。ただし、例えばV C C 1端子1 1 0が5 VでV C C 2端子1 1 3が3 Vとすると、電源用E S D保護素子部1 4 0におけるV C C 1端子1 1 0－V C C 2端子1 1 3間の保護素子は通常動作で逆バイアスとなる1個のダイオード（又はフィールドトランジスタなど）から構成される。

【0 0 1 0】

【特許文献1】特開平8－1 4 8 6 5 0号公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 1 1】

しかし、複数の電源系を有する半導体装置における電源用E S D保護素子部は、半導体装置1 0 1の電源用E S D保護素子部1 4 0のように、多くの電源端子間やグランド端子間の保護素子から構成され、それらの保護素子はそれぞれが大きな面積を占有するもので

ある。従って、半導体装置は、電源用E S D保護素子部を内部回路や入出力回路の素子が配置されてない空きスペースに配置するだけでは足りず、内部回路や入出力回路のスペースの他に電源用E S D保護素子部のためのスペースを確保しなければならないので、チップサイズの増大の要因となっている。

【0012】

本発明は、以上の事由に鑑みてなされたもので、その目的とするところは、複数の電源系を有する半導体装置において、いずれかの電源系の信号端子について他の電源系の電源端子やグランド端子を基準としたE S Dによる破壊防止を実現しつつ、それによるチップサイズの増大を抑制できる半導体装置を提供することにある。

【課題を解決するための手段】

【0013】

上記の課題を解決するために、請求項1に係る半導体装置は、複数の電源系として少なくとも第1と第2の電源系を有し、第1と第2の電源系はそれぞれ電源端子、グランド端子、及び信号の入出力を行う少なくとも1つの信号端子と、これら各端子にボンディングワイヤによって接続される電源ボンディングパッド、グランドボンディングパッド、及び信号ボンディングパッドと、これら各ボンディングパッドに接続されると共に信号ボンディングパッドとの間で信号を入力又は出力する入出力回路を有する半導体装置であって、

第1と第2の電源系は、電源端子又はグランド端子の少なくとも一方にボンディングワイヤによって接続されるとともに、異なる電源系間で互いに接続されるそれぞれのE S D保護ボンディングパッドと、各電源系の信号ボンディングパッドとE S D保護ボンディングパッドに接続されるそれぞれの信号用E S D保護素子部と、少なくとも一端を少なくともいずれかのE S D保護ボンディングパッドに接続される電源用E S D保護素子部と、を備えてなることを特徴とする。

【発明の効果】

【0014】

本発明の半導体装置は、複数の電源系を有する半導体装置のそれぞれの電源系において、電源ボンディングパッド又はグランドボンディングパッドの他に互いに接続されるそれぞれのE S D保護ボンディングパッドを設け、それを介して信号端子に印加された静電気を逃がすので、1つの電源系の信号端子について他の電源系の電源端子やグランド端子を基準としたE S D破壊対策を実現しつつ、それによるチップサイズの増大を抑制することが可能になる。

【発明を実施するための最良の形態】

【0015】

以下、本発明の最良の実施形態を図面を参照しながら説明する。図1は本発明の実施形態である半導体装置において各端子の接続状態を示す部分回路図である。この半導体装置1は、複数の電源系として5Vのデジタル用電源系（第1の電源系）と5Vのアナログ用電源系（第2の電源系）の2個の電源系を有している。第1の電源系は、電源（VCC1）端子10、グランド（GND1）端子12、及び信号の入出力を行う少なくとも1つの信号（SIG1）端子11を有する。第2の電源系は、電源（VCC2）端子13、グランド（GND2）端子15、及び信号の入出力を行う少なくとも1つの信号（SIG2）端子14と、を有する。それら各端子は、ボンディングワイヤ20乃至25によってそれぞれVCC1ボンディングパッド30、GND1ボンディングパッド32、SIG1ボンディングパッド31、VCC2ボンディングパッド33、GND2ボンディングパッド35、SIG2ボンディングパッド34に接続されている。そして、第1及び第2の電源系は、VCC1ボンディングパッド30、GND1ボンディングパッド32、VCC2ボンディングパッド33、GND2ボンディングパッド35に近接してVCC1E S D保護ボンディングパッド36、GND1E S D保護ボンディングパッド37、VCC2E S D保護ボンディングパッド38、GND2E S D保護ボンディングパッド39を設けている。これら各E S D保護ボンディングパッド36、37、38、39は、ボンディングワイヤ26乃至29によってVCC1端子10、GND1端子12、VCC2端子13、GND

2端子15に接続されるとともに、異なる電源系間で互いに接続されている。すなわち、異なる電源系間で互いに接続とは、VCC1ESD保護ボンディングパッド36とVCC2ESD保護ボンディングパッド38、GND1ESD保護ボンディングパッド37とGND2ESD保護ボンディングパッド39、と接続されることをいう。なお、各ボンディングパッド及び各ESD保護ボンディングパッドは、以後、ボンディングを省略して呼称する。

【0016】

VCC1パッド30及びGND1パッド32は、半導体基板上に形成されたVCC1配線50及びGND1配線52にそれぞれ接続される。VCC1配線50及びGND1配線52は、第1の電源系の少なくとも1つの入出力回路43及び内部回路45の素子に接続される。入出力回路43はSIG1パッド31との間で信号を入力又は出力し、内部回路45は入出力回路43から入力した信号に応じて信号処理を行い入出力回路43に信号を出力する。なお、図1（及び後述の図3）における入出力回路43（及び後述の入出力回路44）では入力素子の図示は省略している。

【0017】

ここで重要なことは、入出力回路43のESDによる破壊防止のための信号用ESD保護素子部41aは、VCC1ESD保護配線56によりSIG1パッド31とVCC1ESD保護パッド36間に、GND1ESD保護配線57によりSIG1パッド31とGND1ESD保護パッド37間に接続されることである。この信号用ESD保護素子部41aは、VCC1端子10を基準にSIG1端子11に印加された静電気をVCC1ESD保護配線56からVCC1ESD保護パッド36を通過してVCC1端子10に逃がすためのVCC1側の保護素子と、GND1端子12を基準にSIG1端子11に印加された静電気をGND1ESD保護配線57からGND1ESD保護パッド37を通過してGND1端子12に逃がすためのGND1側の保護素子と、から構成される。これら保護素子は、具体的にはダイオードやフィールドトランジスタ（メタル配線をゲートとしたしきい値の高いMOSトランジスタ）などが用いる。

【0018】

また、VCC2パッド33及びGND2パッド35は、半導体基板上に形成されたVCC2配線53及びGND2配線55にそれぞれ接続される。VCC2配線53及びGND2配線55は、第2の電源系の少なくとも1つの入出力回路44及び内部回路46の素子に接続される。この入出力回路44も、前述した入出力回路43と同様に、SIG2パッド34との間で信号を入力又は出力し、内部回路46は入出力回路44から入力した信号に応じて信号処理を行い入出力回路44に信号を出力する。そして、入出力回路44のESDによる破壊防止のための信号用ESD保護素子部42aも、VCC2ESD保護配線58によりSIG2パッド34とVCC2ESD保護パッド38間に、GND2ESD保護配線59によりSIG2パッド34とGND2ESD保護パッド39間に接続される。この信号用ESD保護素子部42aは、VCC2端子13を基準にSIG2端子14に印加された静電気をVCC2ESD保護配線58からVCC2ESD保護パッド38を通過してVCC2端子13に逃がすためのVCC2側の保護素子と、GND2端子15を基準にSIG2端子14に印加された静電気をGND2ESD保護配線59からGND2ESD保護パッド39を通過してGND2端子15に逃がすためのGND2側の保護素子と、から構成される。

【0019】

半導体装置1の電源用ESD保護素子部40aは、VCC1ESD保護パッド36とGND1ESD保護パッド37間に、具体的にはVCC1ESD保護配線56とGND1ESD保護配線57間に接続される保護素子（1個のダイオード）から構成される。この電源用ESD保護素子部40aは、VCC1端子10－GND1端子12間に静電気が印加された場合に、入出力回路43又は内部回路45の素子が破壊されないよう静電気を逃がすためのものである。また、前述したように、ESD保護ボンディングパッド36、37、38、39は、異なる電源系間で互いに接続されているので、具体的には、VCC1E

S D 保護配線 5 6 及び G N D 1 E S D 保護配線 5 7 は、それぞれ V C C 2 E S D 保護配線 5 8 及び G N D 2 E S D 保護配線 5 9 に半導体基板上で互いに接続されているので、V C C 2 端子 1 3 - G N D 2 端子 1 5 間に静電気が印加された場合も、V C C 2 E S D 保護配線 5 8 及び G N D 2 E S D 保護配線 5 9 を介し、電源用 E S D 保護素子部 4 0 a、すなわち、V C C 1 E S D 保護配線 5 6 と G N D 1 E S D 保護配線 5 7 間に接続された保護素子を通して静電気が逃げる。また、それ以外の組み合わせの電源（グラウンドを含む）端子間に静電気が印加された場合も同様である。

【0020】

次に、1つの電源系の信号端子について他の電源系の電源端子やグラウンド端子を基準としたE S Dによる破壊防止が実現される動作を説明する。V C C 2 端子 1 3 を基準に S I G 1 端子 1 1 に印加された静電気は、信号用 E S D 保護素子部 4 1 a を構成する V C C 1 側の保護素子から V C C 1 E S D 保護配線 5 6、V C C 2 E S D 保護配線 5 8、V C C 2 E S D 保護パッド 3 8、ボンディングワイヤ 2 8 を通って V C C 2 端子 1 3 に逃げる。G N D 2 端子 1 5 を基準に S I G 1 端子 1 1 に印加された静電気も、同様にして、信号用 E S D 保護素子部 4 1 a を構成する G N D 1 側の保護素子から G N D 1 E S D 保護配線 5 7、G N D 2 E S D 保護配線 5 9、G N D 2 E S D 保護パッド 3 9、ボンディングワイヤ 2 9 を通って G N D 2 端子 1 1 5 に逃げる。このように、S I G 1 端子 1 1 について他の電源系の電源端子やグラウンド端子を基準としたE S Dによる破壊防止を実現することができるのである。また、S I G 2 端子 1 4 について他の電源系の電源端子やグラウンド端子、すなわち V C C 1 端子 1 0 及び G N D 1 端子 1 2 を基準としたE S Dによる破壊防止も、同様にして実現することができる。

【0021】

図 2 は半導体装置 1 全体を表したレイアウト図である。リード端子である各端子 1 0 乃至 1 5 は、その内側であるインナーリード部がボンディングワイヤ 2 0 乃至 2 9 によって各パッド 3 0 乃至 3 9 に接続されている。信号端子である S I G 1 端子 1 1 及び S I G 2 端子 1 4 はそれぞれ複数設けられ、その各々にボンディングワイヤ 2 1 又は 2 4、S I G 1 パッド 3 1 又は S I G 2 パッド 3 4、信号用 E S D 保護素子部 4 1 a 又は 4 2 a、入出力回路 4 3 又は 4 4 が設けられている。なお、図 2 において、S I G 1 パッド 3 1 又は S I G 2 パッド 3 4、信号用 E S D 保護素子部 4 1 a 又は 4 2 a などについて符号は省略している。G N D 1 E S D 保護配線 5 7 又は G N D 2 E S D 保護配線 5 9 は各パッド 3 0 乃至 3 9 を囲んで外側に、V C C 1 E S D 保護配線 5 6 又は V C C 2 E S D 保護配線 5 8 は各パッド 3 0 乃至 3 9 の内側に、V C C 1 配線 5 0 又は V C C 2 配線 5 3 は V C C 1 E S D 保護配線 5 6 又は V C C 2 E S D 保護配線 5 8 の内側であり入出力回路 4 3 又は 4 4 を囲んで外側に、G N D 1 配線 5 2 又は G N D 2 配線 5 5 は入出力回路 4 3 又は 4 4 の内側に、それぞれ設けられている。また、電源用 E S D 保護素子部 4 0 a を構成する保護素子は、半導体装置 1 の空きスペース（すなわち図 2 における半導体装置 1 の 4 コーナ）に分割して配置されている。

【0022】

以上のように、この半導体装置 1 は、電源用 E S D 保護素子部 4 0 a を構成する保護素子の数を削減することができ、それによりチップサイズの増大を抑制することが可能となる。また、半導体装置の E S D に対する破壊強度を測定する場合、V C C 1 端子 1 0 を基準にした場合と V C C 2 端子 1 3 を基準にした場合とでは原理的にほとんど破壊強度は変わらないので V C C 2 端子 1 3 を基準にした測定を省略することも可能である。G N D 1 端子 1 2 を基準にした場合と G N D 2 端子 1 5 を基準にした場合も同様である。

【0023】

なお、第 1 の電源系、すなわち、デジタル用電源系の素子に起因して電源配線に重畳した電源ノイズが伝達される経路、すなわち V C C 1 パッド 3 0、ボンディングワイヤ 2 0、V C C 1 端子 1 0、ボンディングワイヤ 2 6、V C C 1 E S D 保護パッド 3 6、V C C 1 E S D 保護配線 5 6、V C C 2 E S D 保護配線 5 8、V C C 2 E S D 保護パッド 3 8、ボンディングワイヤ 2 8、V C C 2 端子 1 3、ボンディングワイヤ 2 3、V C C 2 パッド

3 3の経路で、デジタル用電源系のV C C 1配線5 0から第2の電源系、すなわち、アナログ用電源系のV C C 2配線5 3に電源ノイズが伝達される可能性も想定されるが、電源ノイズは、その経路中の複数のボンディングワイヤのインピーダンスが高いために減衰され、かつそれに比べてインピーダンスが低いV C C 1端子1 0及びV C C 2端子1 3を介して外部電源で吸収されるため、極めて微小となり、問題とはならない。グラウンド配線に重畳した電源ノイズについても同様である。

【0 0 2 4】

次に、本発明の別の実施形態である半導体装置について図3に基づいて説明する。この半導体装置2は、複数の電源系として電源電圧が異なる複数の電源系、すなわち、5 Vの第1の電源系と3 Vの第2の電源系を有する。この半導体装置2のV C C 1端子1 0はV C C 1パッド3 0にのみ接続されており、前述の半導体装置1におけるV C C 1 E S D保護パッド3 6は存在せず、従ってV C C 1 E S D保護配線5 6も存在しない。同じく、V C C 2端子1 3はV C C 2パッド3 3にのみ接続されており、半導体装置1におけるV C C 2 E S D保護パッド3 8は存在せず、従ってV C C 2 E S D保護配線5 8も存在しない。そのため、G N D 1 E S D保護パッド3 7とG N D 2 E S D保護パッド3 9のみ、G N D 1 E S D保護配線5 7とG N D 2 E S D保護配線5 9とを介して半導体基板上で互いに接続される。そして、半導体装置1における信号用E S D保護素子部4 1 a及び4 2 aに替え、V C C 1側の保護素子、V C C 2側の保護素子がV C C 1配線5 0、V C C 2配線5 3に接続され、G N D 1側の保護素子、G N D 2側の保護素子がG N D 1 E S D保護パッド3 7及びG N D 2 E S D保護パッド3 9に接続された信号用E S D保護素子部4 1 b及び4 2 bを備える。また、電源用E S D保護素子部4 0 aに替え、V C C 1パッド3 0－G N D 1 E S D保護パッド3 7間の保護素子（1個のダイオード）と、V C C 2パッド3 3－G N D 1 E S D保護パッド3 7間の保護素子（1個のダイオード）と、V C C 1パッド3 0－V C C 2パッド3 3間の保護素子（1個のダイオード）と、を有する電源用E S D保護素子部4 0 bを備える。

【0 0 2 5】

この半導体装置2では、1つの電源系の信号端子について他の電源系のグラウンド端子を基準とした場合、すなわちG N D 2端子1 5を基準にS I G 1端子1 1に静電気が印加された場合、G N D 1端子1 2を基準にS I G 2端子1 4に静電気が印加された場合のE S Dによる破壊防止は半導体装置1と同様にして実現される。そして、1つの電源系の信号端子について他の電源系の電源端子を基準とした場合、すなわちV C C 2端子1 3を基準にS I G 1端子1 1に静電気が印加された場合、V C C 1端子1 0を基準にS I G 2端子1 4に静電気が印加された場合のE S Dによる破壊防止は前述の従来の半導体装置と同様にして実現される。

【0 0 2 6】

半導体装置2の電源用E S D保護素子部4 0 bは、半導体装置1の電源用E S D保護素子部4 0 aに比べて構成要素である保護素子の数が多いが、従来の電源用E S D保護素子部に比べて保護素子の数を削減することができ、それによりチップサイズの増大を抑制することが可能となる。

【0 0 2 7】

以上、2つの実施形態から明らかなように、本発明は、各電源系に、電源端子（V C C 1端子1 0、V C C 2端子1 3）又はグラウンド端子（G N D 1端子1 2、G N D 2端子1 5）の少なくとも一方に、ボンディングワイヤによって接続されるとともに、異なる電源系間で互いに接続されるE S D保護ボンディングパッド（V C C 1 E S D保護パッド3 6、G N D 1 E S D保護パッド3 7、V C C 2 E S D保護パッド3 8、G N D 2 E S D保護パッド3 9の全部又は一部）を設け、各電源系の信号用E S D保護素子部及び電源用E S D保護素子部の少なくとも一端をE S D保護ボンディングパッドに接続することが要点である。なお、以上の実施形態では複数の電源系を有する半導体装置として2個の電源系を有する半導体装置を説明したが、3個以上の電源系を有する半導体装置の電源系の全部又は一部にも本発明を適用することができるのは勿論である。

【図面の簡単な説明】

【 0 0 2 8 】

【図 1】 本発明の実施形態に係る半導体装置における部分回路図。

【図 2】 同上のレイアウト図。

【図 3】 本発明の別の実施形態に係る半導体装置における部分回路図。

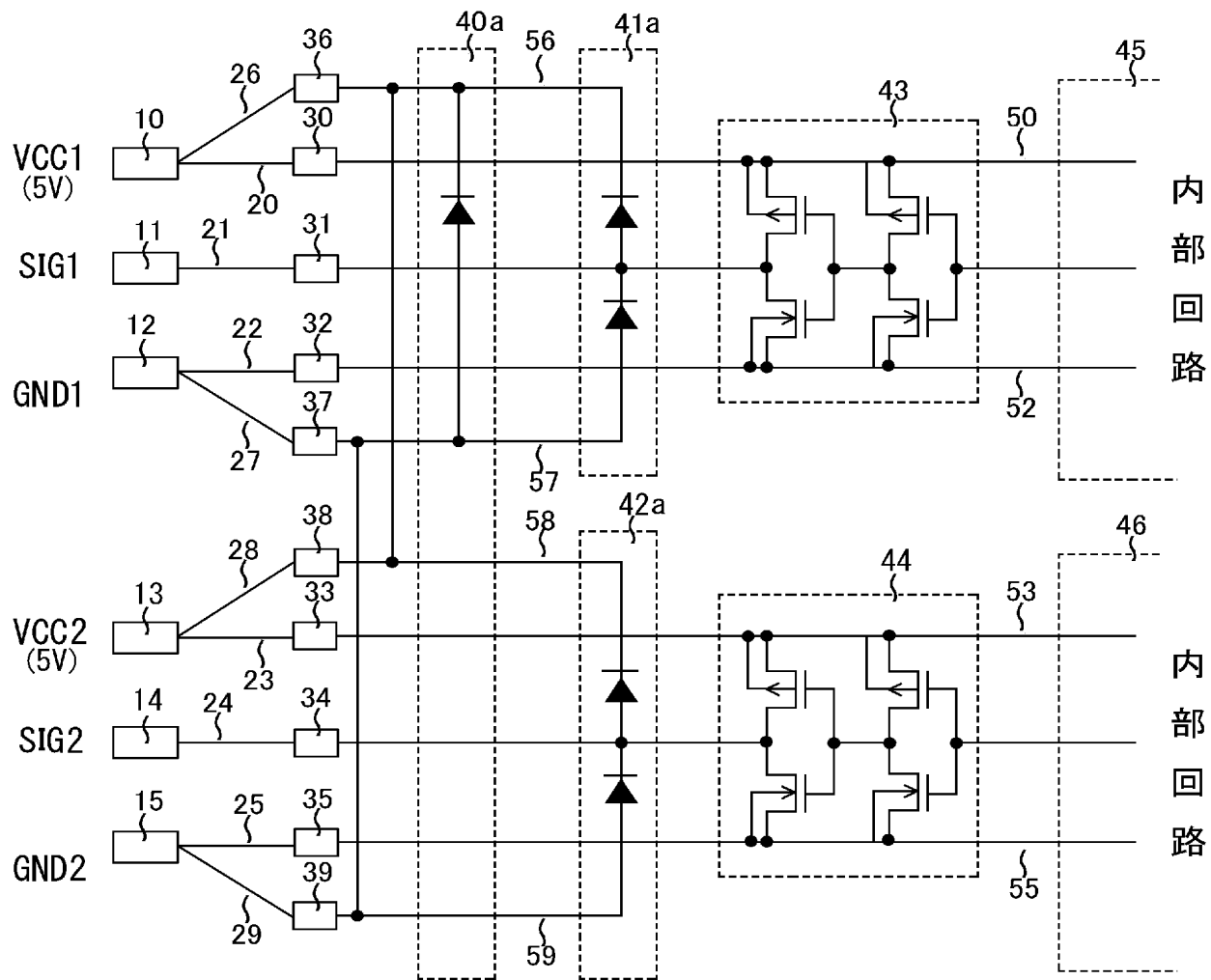
【図 4】 背景技術の実施形態に係る半導体装置における部分回路図。

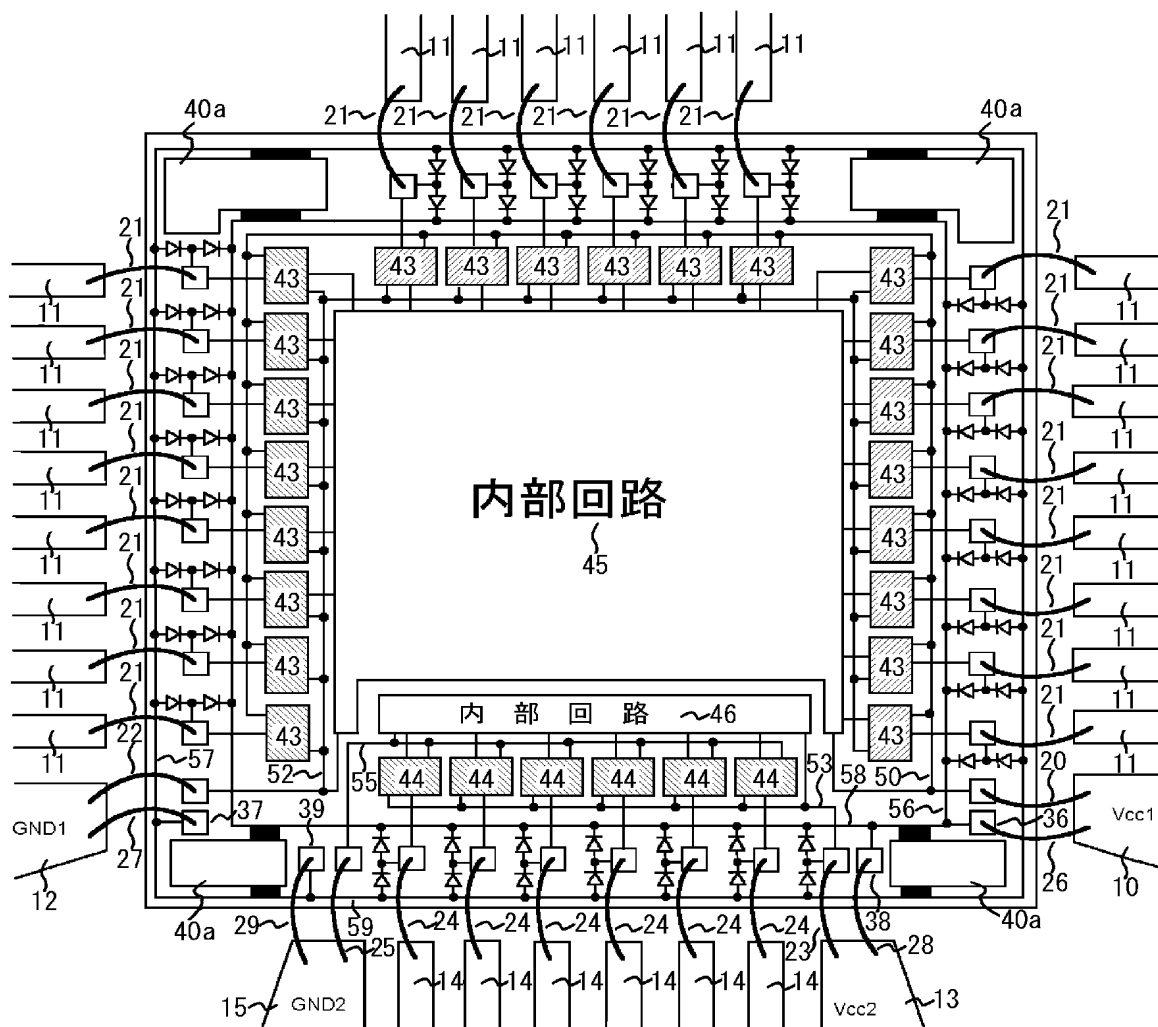
【符号の説明】

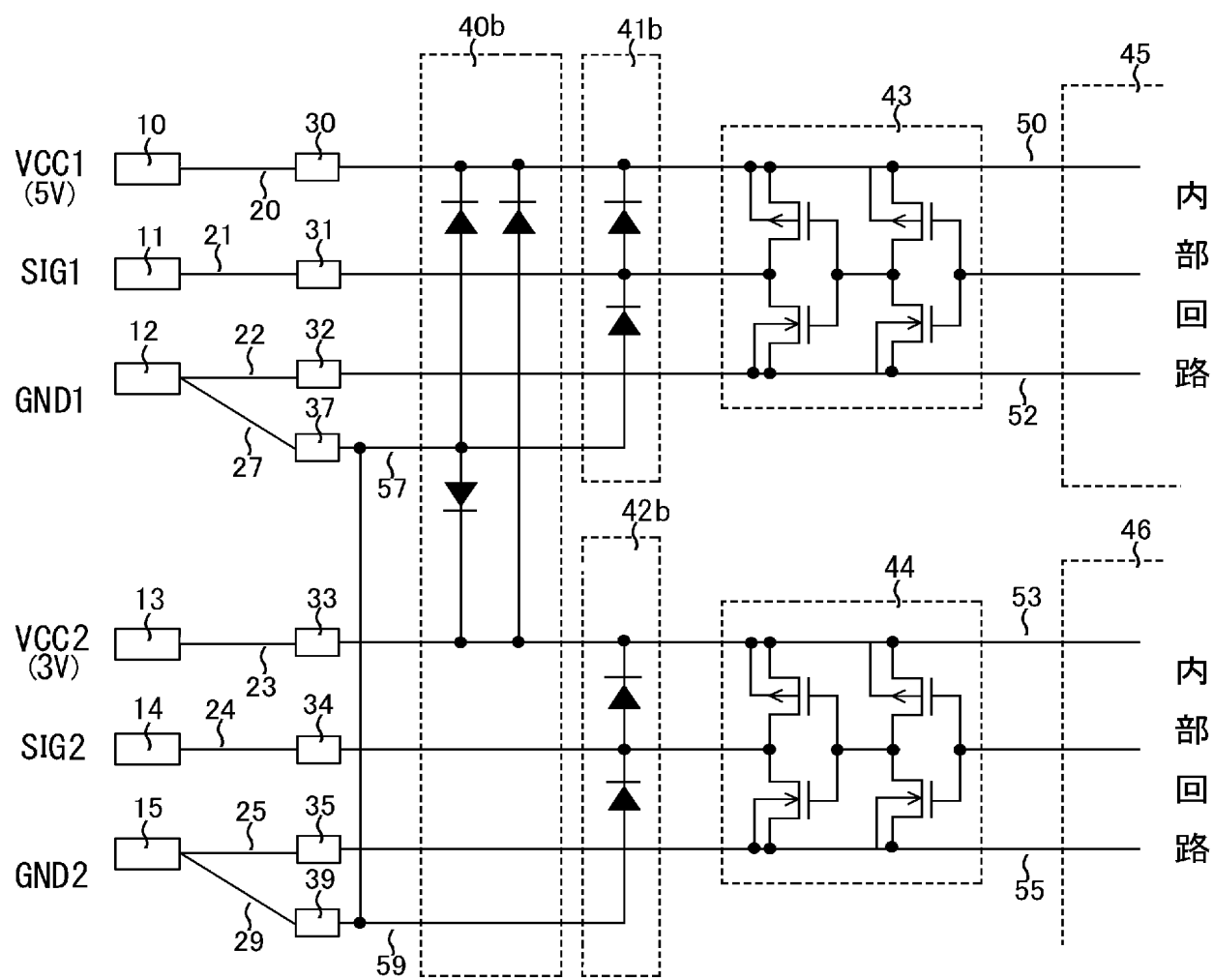
【 0 0 2 9 】

- 1 第 1 実施形態の半導体装置
- 2 第 2 実施形態の半導体装置
- 1 0 V C C 1 端子 (第 1 の電源系の電源端子)
- 1 1 S I G 1 端子 (第 1 の電源系の信号端子)
- 1 2 G N D 1 端子 (第 1 の電源系のグランド端子)
- 1 3 V C C 2 端子 (第 2 の電源系の電源端子)
- 1 4 S I G 2 端子 (第 2 の電源系の信号端子)
- 1 5 G N D 2 端子 (第 2 の電源系のグランド端子)
- 2 0 乃至 2 9 ボンディングワイヤ
- 3 0 V C C 1 パッド (第 1 の電源系の電源ボンディングパッド)
- 3 1 S I G 1 パッド (第 1 の電源系の信号ボンディングパッド)
- 3 2 G N D 1 パッド (第 1 の電源系のグランドボンディングパッド)
- 3 3 V C C 2 パッド (第 2 の電源系の電源ボンディングパッド)
- 3 4 S I G 2 パッド (第 2 の電源系の信号ボンディングパッド)
- 3 5 G N D 2 パッド (第 2 の電源系のグランドボンディングパッド)
- 3 6 V C C 1 E S D 保護パッド (第 1 の電源系の E S D 保護ボンディングパッド)
- 3 7 G N D 1 E S D 保護パッド (第 1 の電源系の E S D 保護ボンディングパッド)
- 3 8 V C C 2 E S D 保護パッド (第 2 の電源系の E S D 保護ボンディングパッド)
- 3 9 G N D 2 E S D 保護パッド (第 2 の電源系の E S D 保護ボンディングパッド)
- 4 0 a 第 1 実施形態の電源用 E S D 保護素子部
- 4 0 b 第 2 実施形態の電源用 E S D 保護素子部
- 4 1 a 第 1 実施形態の第 1 の電源系の信号用 E S D 保護素子部
- 4 2 a 第 1 実施形態の第 2 の電源系の信号用 E S D 保護素子部
- 4 1 b 第 2 実施形態の第 1 の電源系の信号用 E S D 保護素子部
- 4 2 b 第 2 実施形態の第 2 の電源系の信号用 E S D 保護素子部
- 4 3 第 1 の電源系の入出力回路
- 4 4 第 2 の電源系の入出力回路
- 4 5 第 1 の電源系の内部回路
- 4 6 第 2 の電源系の内部回路

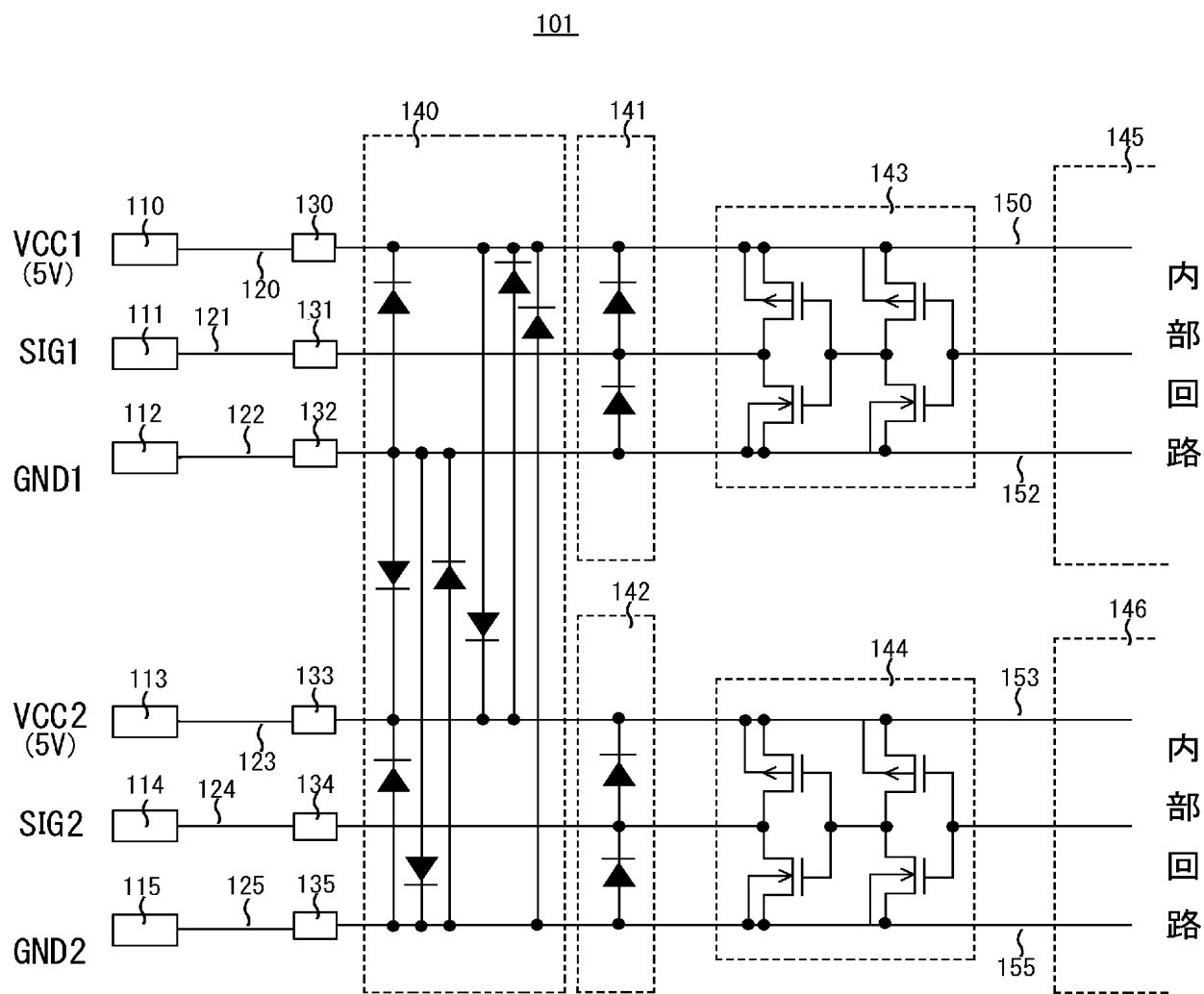
1







【图 4】



【書類名】 要約書

【要約】

【課題】 1つの電源系の信号端子について他の電源系の電源（グランド）端子を基準としたESD破壊対策を実現しつつ、それによるチップサイズの増大を抑制できる半導体装置の提供。

【解決手段】 この半導体装置1は、第1と第2の電源系において、電源端子10、13又はグランド端子12、15の少なくともいずれかにボンディングワイヤ26乃至29によって接続され、半導体基板上で互いに接続されるそれぞれのESD保護ボンディングパッド36乃至39と、第1と第2の電源系において、信号ボンディングパッド31、34とESD保護ボンディングパッド36乃至39とに接続され、入出力回路43、44を保護するそれぞれの信号用ESD保護素子部41a、42aと、いずれかのESD保護ボンディングパッドに接続される電源用ESD保護素子部40aと、を備えてなる。

【選択図】 図1

出願人履歴

0 0 0 1 1 6 0 2 4

19900822

新規登録

京都府京都市右京区西院溝崎町 2 1 番地
ローム株式会社